

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-068716

(43)Date of publication of application : 03.03.2000

(51)Int.Cl.

H01P 5/08

H01P 3/08

H01P 5/02

(21)Application number : 10-239724

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.08.1998

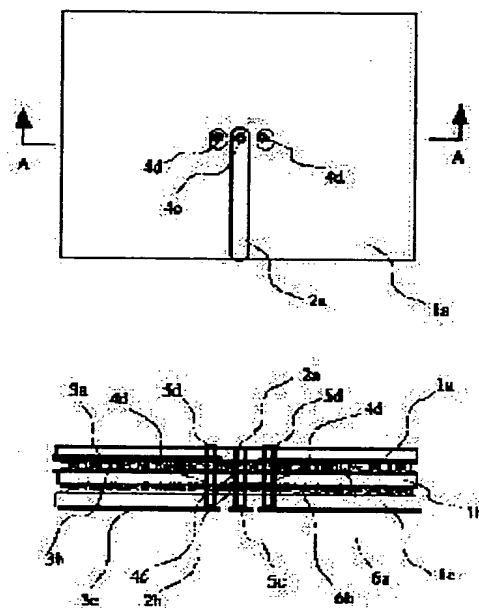
(72)Inventor : FURUYA TERUO

## (54) MULTILAYER TRANSMISSION LINE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To simplify the production of a multilayer transmission line and also to improve the reliability of this line by forming a through hole plating conductor piercing through plural layers by means of the plating processing after the construction of a multilayer structure and setting an impedance higher than those of a microstrip line and a triplate line for a transmission line set between the internal conductor layers consisting of plural through hole plating conductors respectively.

**SOLUTION:** In regard to a structure where through connections are secured among plural layers, a multilayer transmission line shows the capacitance among the 1st and 2nd internal conductor layers 2a and 2b, a 4th plating layer 5d and a 4th through hole plating conductor 4d respectively. The impedance of a transmission line consisting of the 3rd and 4th through hole plating conductors 4c and 4d and set between the layers 2a and 2b is set at a level higher than the impedances of a microstrip line and a triplate line. In such a constitution, a filter equivalent to a low pass filter is obtained with the consistency securing to attain the electrical connection of a multilayer structure. Furthermore, this constitution is also accordant with the production of a multilayer substrate.



## LEGAL STATUS

[Date of request for examination] 13.02.2003

[Date of sending the examiner's decision of rejection] 12.04.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

[0009]

[Embodiment of the Invention]

Embodiment 1

Figs. 1(a), (b) are block diagrams illustrating a first embodiment of the present invention, wherein Fig. 1(a) illustrates a plan view and Fig. 1(b) an A-A sectional view. In Figs. 1(a) and (b), 1a, 1b and 1c respectively denote a first, a second and a third dielectric layer; 2a and 2b a first and a second inner conductive layer; 3a, 3b and 3c a first, a second and a third outer conductive layer; 4c and 4d a third and a fourth through hole plated conductor; 5c and 5d a third and a fourth plated layer; and 6a and 6b a first and a second adhesive sheet.

[0010]

Operations will next be explained. In Figs. 1(a) and (b), the first inner conductive layer 2a, the first outer conductive layer 3a, and the fourth plated layer 5d are formed on the first dielectric layer 1a, the first inner conductive layer 2b and the second outer conductive layer 3b on the second dielectric layer 1b, and the third outer conductive layer 3b and the third plated layer 5c on the third dielectric layer 1c, respectively through plating, whereupon the first adhesive sheet 6a is provided between

the first outer conductive layer 3a and the second outer conductive layer 3b and the second adhesive sheet 6b between the second dielectric layer 2a and the third dielectric layer 3a to comprise a multi-layered structure of microstrip lines and TRIplate lines; thereafter, through plating, the first inner conductive layer 2a, the second inner conductive layer 2b and the third plated layer 5c as well as the first, second and third outer conductive layers 3a, 3b and 3c and the fourth plated layer 5d are fed-through respective layers by the third and fourth through hole plated conductors 4c, 4d with the third and fourth through hole plated conductors 4c, 4d serving as transmission lines and exhibiting capacitivity between the first inner conductive layer 2a and the fourth plated layer 5d, between the second inner conductive layer 2b and the fourth through hole plated conductor 4d, between the third through hole plated conductor 4c and the first and second outer conductive layers 3a, 3b and between the third plated layer 5c and the third outer conductive layer 3c for achieving a feed-through structure between the layers; and by setting a higher impedance for the transmission lines comprised by the third and fourth through hole plated conductors 4c, 4d between the first and second inner conductive layers 2a, 2b than those of the microstrip lines and TRIplate lines, a low-pass filter is equivalently obtained to achieve matching and

to realize electric connection in a multi-layered structure, and such a structure is also suitable for manufacturing methods of multi-layered substrates.

[0011]

The multi-layered transmission lines arranged as above are capable of achieving improvements in reliability and cost reductions since the transmission lines comprised by the third and fourth through hole plated conductors 4c, 4d between the first and second inner conductive layers 2a, 2b are uniformly formed through plating to exhibit a higher impedance than the microstrip lines and TRIplate lines for enabling microwave transmission.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-68716

(P2000-68716A)

(43)公開日 平成12年3月3日(2000.3.3)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 P	5/08	H 0 1 P	5/08
	3/08		3/08
	5/02		5/02
	6 0 3		6 0 3 C

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号 特願平10-239724

(22)出願日 平成10年8月26日(1998.8.26)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 古屋 輝雄

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100102439

弁理士 宮田 金雄 (外2名)

Fターム(参考) 5J014 CA03 CA04 CA42 CA43 CA56  
CA57

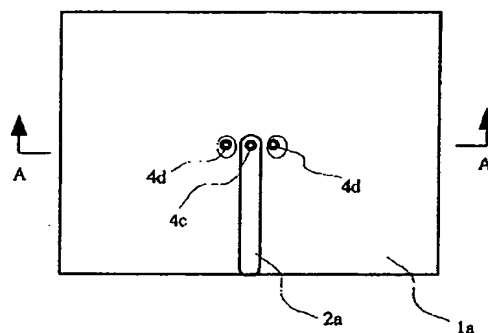
(54)【発明の名称】 多層伝送線路

(57)【要約】

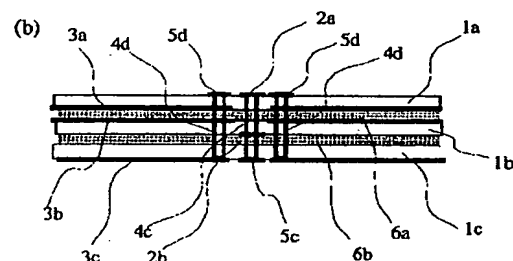
【課題】 製造性に優れ、かつ信頼性の高いマイクロストリップ線路とトリプレート線路の多層伝送線路を得る。

【解決手段】 外部導体層、内部導体層を誘電体層に被着形成し、外部導体層間を接着シートで一体化し、その後、内部導体層間にある複数のスルーホールメッキ導体による伝送線路をマイクロストリップ線路及びトリプレート線路より高いインピーダンスとしてメッキ処理で形成した。

(a)



(b)



## 【特許請求の範囲】

【請求項1】 第1の誘電体層と、この第1の誘電体層の一方の面に被着した第1の内部導体層と、上記第1の誘電体層の他方の面に被着した第1の外部導体層と、第2の誘電体層と、この第2誘電体層の一方の面に被着した第2の外部導体層と、上記第2の誘電体層の他方の面に被着した第2の内部導体層と、第3の誘電体層と、この第3誘電体層の一方の面に被着した第3外部導体層と、上記第1の外部導体層と上記第2の外部導体層の間に第1の接着シートを設け、上記第2の内部導体層と上記第3の誘電体層の間に第2の接着シートを設け、上記第1の誘電体層に被着した第1の内部導体層、第1の外部導体層からなるマイクロストリップ線路と上記第2の誘電体層と上記第3の誘電体層を上記第2の外部導体層と上記第3の外部導体層を外側にしてなるトリプレート線路との多層構造とし、上記第1の内部導体層と上記第2の内部導体層の間、上記第1の外部導体層と上記第2の外部導体層及び上記第3の外部導体層の間を、複数本のスルーホールメッキ導体で接続し、複数本のスルーホールメッキ導体からなる上記第1の内部導体層と上記第2の内部導体層間の伝送線路を上記マイクロストリップ線路及び上記トリプレート線路より高インピーダンスとしたことを特徴とする多層伝送線路。

【請求項2】 複数のスルーホールメッキ導体に接続されたマイクロストリップ線路及びトリプレート線路の一部を高いインピーダンスとしたことを特徴とする請求項1記載の多層伝送線路。

【請求項3】 複数のスルーホールメッキ導体に接続された第1及び第2の内部導体層に容量性素子を設けたことを特徴とする請求項1記載の多層伝送線路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、マイクロ波を送る多層伝送線路に関するものであり、特にその中でマイクロストリップ線路とトリプレート線路の多層化に関するものである。

## 【0002】

【従来の技術】近年、アンテナ給電系の多層化、プリント基板の高周波化等、マイクロストリップ線路とトリプレート線路との層間接続する多層伝送線路の要求が多くなっている。従来、多層伝送線路としては、類似するものとして1997年の電子通信学会総合大会、B-1-112、平面アンテナSNG用薄形サブアレーの放射特性の中で示されているように、金属ピンを用いているものもある。図4(a)、(b)は従来の多層伝送線路の構成図を示すもので、図4(a)は平面図、図4(b)はA-A断面図を示す。図4(a)、(b)において、1a、1b、1cはそれぞれ第1、第2及び第3の誘電体層、2a、2bはそれぞれ第1及び第2の内部導体層、3a、3b、3cは第1、第2及び第3の外部導体層、4a、4bは第1及び第2のスルーホールメッキ導体、5a、5bは第1及び第2のメッキ層である。

層、4a、4bは第1及び第2のスルーホールメッキ導体、5a、5bは第1及び第2のメッキ層である。

【0003】次に従来の多層伝送線路について説明する。図4(a)、(b)において、第1の誘電体層1aに、第1の内部導体層2a、第1の外部導体層3a、第1、第2のスルーホールメッキ導体4a、4b及び第1、第2のメッキ層5a、5bを、第2の誘電体層1bに、第2の内部導体層2b、第2の外部導体層3b、第1、第2のスルーホールメッキ導体4a、4b、及び第1、第2のメッキ層5a、5bを、第3の誘電体層1cに、第3の外部導体層3c、第2のスルーホールメッキ導体4b及び第2のメッキ層5bを各々メッキ処理で形成し、それらを単に第1、第2のメッキ層5a、5b相互、及び、第1、第2の外部導体層3a、3b相互が向かい合うように第1、第2及び第3の誘電体層1a、1b及び1cを重ね合せている。上記第1の誘電体層1aでは上記第1の内部導体層2aと上記第1の外部導体層3aによるマイクロストリップ線路が形成され、上記第2、第3の誘電体層1b、1cでは上記第2の内部導体層2bと上記第2、第3の外部導体層3b、3cによるトリプレート線路が形成され、マイクロストリップ線路とトリプレート線路の多層構造をなす。マイクロストリップ線路とトリプレート線路を形成する第1及び第2の内部導体層2a、2bは、第1及び第2のスルーホールメッキ導体4a、4b、第1及び第2のメッキ層5a、5bによる伝送線路で多層構造の電気的接続が実現出来ている。

## 【0004】

【発明が解決しようとする課題】上記の多層伝送線路は、メッキ処理での電気的接続が第1、第2、第3の誘電体層1a、1b、1c内で行なわれているだけで、全体の電気的接続が第1、第2、第3の誘電体層1a、1b、1cの第1、第2のメッキ層5a、5b相互、及び、第1、第2の外部導体層3a、3b相互の接触だけで実現されているため、信頼性面でも、また多層基板の製造方法からも逸脱しているため、製造性も悪く、課題があった。これらの課題を改善する方法として、例えば、特公62-5482号公報のトリプレートストリップラインの多層一体化方法にあるように、内部導体部への予備ハンダを行ない、誘電体層間を接着シートで張り付け、全体に熱と圧力を加えて一体化する方法もあるが、予備ハンダ等、製造工程が多くなるという課題を残していた。

【0005】この発明はかかる課題を解決するためになされたものであり、製造の簡略化と信頼性の向上を目的とする。

## 【0006】

【課題を解決するための手段】第1の発明による多層伝送線路は、外部導体層、内部導体層を誘電体層に被着形成し、外部導体層間及び誘電体層間を接着シートで一体

化してマイクロストリップ線路とトリプレート線路の多層構造とし、その後にメッキ処理で各層間を貫通するスルホールメッキ導体を形成し、複数本のスルホールメッキ導体からなる内部導体層間の伝送線路をマイクロストリップ線路及びトリプレート線路より高いインピーダンスで構成したものである。

【0007】また、第2の発明による多層伝送線路は、外部導体層、内部導体層を誘電体層に被着形成し、外部導体層間を接着シートで一体化してマイクロストリップ線路とトリプレート線路の多層構造とし、その後にメッキ処理で各層間を貫通するスルホールメッキ導体を形成し、スルホールメッキ導体に接続されたマイクロストリップ線路及びトリプレート線路の一部を高インピーダンスで構成したものである。

【0008】また、第3の発明による多層伝送線路は、外部導体層、内部導体層を誘電体層に被着形成し、外部導体層間を接着シートで一体化してマイクロストリップ線路とトリプレート線路の多層構造とし、その後にメッキ処理で各層間を貫通するスルホールメッキ導体を形成し、スルホールメッキ導体に接続されたマイクロストリップ線路及びトリプレート線路の内部導体層に容量性素子を設けて構成したものである。

#### 【0009】

【発明の実施の形態】実施の形態1. 図1(a)、(b)は、この発明の実施の形態1を示す構成図であり、図1(a)は平面図、図1(b)はA-A断面図を示す。図1(a)、(b)において、1a、1b、1cはそれぞれ第1、第2及び第3の誘電体層、2a、2bはそれぞれ第1及び第2の内部導体層、3a、3b、3cは第1、第2及び第3の外部導体層、4c、4dは第3及び第4のスルホールメッキ導体、5c、5dは第3及び第4のメッキ層、6a、6bは第1、第2の接着シートである。

【0010】次に動作について説明する。図1(a)、1(b)において、第1の誘電体層1aに第1の内部導体層2a、第1の外部導体層3a、及び第4のメッキ層5dを、第2の誘電体層1bに第1の内部導体層2b、第2の外部導体層3bを、第3の誘電体層1cに第3の外部導体層3b、及び第3のメッキ層5cを、各々メッキ処理で形成し、上記第1の外部導体層3aと上記第2の外部導体層3bの間に第1の接着シート6aを、上記第2の誘電体層2aと上記第3の誘電体層3aの間に第2の接着シート6bを設け、マイクロストリップ線路とトリプレート線路の多層構造とし、その後にメッキ処理で上記第1の内部導体層2aと上記第2の内部導体層2bと上記第3のメッキ層5cの間、及び上記第1、第2、第3の外部導体層3a、3b、3cと第4のメッキ層5dとの間を、第3、第4のスルホールメッキ導体4c、4dで各層間を貫通接続させ、第3、第4のスルホールメッキ導体4c、4dは伝送線路の役目を成し

ており、各層間を貫通接続させる構造上、第1の内部導体層2aと第4のメッキ層5dとの間、第2の内部導体層2bと第4のスルホールメッキ導体4dとの間、第3のスルホールメッキ導体4cと第1、第2の外部導体層3a、3bとの間、第3のメッキ層5cと第3の外部導体層3cとの間、で容量性を示すが、第1、第2の内部導体層2a、2b間にある第3、第4のスルホールメッキ導体4c、4dによる伝送線路をマイクロストリップ線路及びトリプレート線路より高いインピーダンスにすることで、等価的に低域通過フィルタとなり整合が得られ、多層構造の電氣的接続が実現出来、またこの構成は多層基板の製造方法にも合致している。

【0011】上記のように構成された多層伝送線路は、第1、第2の内部導体層2a、2b間にある第3、第4のスルホールメッキ導体4c、4dによる伝送線路をマイクロストリップ線路及びトリプレート線路より高いインピーダンスとなる寸法としてメッキ処理で一体化形成し、マイクロ波伝送を可能としているため、信頼性の向上、低コスト化が可能である。

【0012】実施の形態2. 図2は、この発明の実施の形態2を示す構成図であり、マイクロストリップ線路及びトリプレート線路を構成する第1、第2の内部導体層面を示す。図2において、7は高インピーダンス部である。なお、他の構成は、図1(a)、(b)に示すこの発明の実施の形態1の構成と同じであるため、説明も合わせ、重複する箇所は省略する。

【0013】次に動作について説明する。図2において、マイクロストリップ線路及びトリプレート線路を形成する第3のスルホールメッキ導体4cに接続された第1、第2の内部導体層2a、2bに高インピーダンス部7を設けて構成した。図1(a)、(b)の構成では、第1、第2の内部導体層2a、2b間にある第3、第4のスルホールメッキ導体4c、4dによる伝送線路をマイクロストリップ線路及びトリプレート線路より高いインピーダンスにすることで、整合を実現しているが、周波数が高くなると、第3、第4のスルホールメッキ導体4c、4dの間隔を広げると高次モードが発生するため、第3、第4のスルホールメッキ導体4c、4dによる伝送線路をマイクロストリップ線路及びトリプレート線路よりインピーダンスをあまり高く出来ないが、図2の構成では、第1、第2の内部導体層2a、2bに高インピーダンス部7を設けているため、第1の内部導体層2aと第4のメッキ層5dとの間、第2の内部導体層2bと第4のスルホールメッキ導体4dとの間、第3のスルホールメッキ導体4cと第1、第2の外部導体層3a、3bとの間、第3のメッキ層5cと第3の外部導体層3cとの間、の容量性を補うことが出来、等価的に低域通過フィルタとなり整合が実現できる。

【0014】上記のように構成された多層伝送線路は、第3のスルホールメッキ導体4cに接続されるマイクロ

ストリップ線路及びトリプレート線路の一部に高インピーダンス部7を設け、第1、第2の内部導体層2a、2b間にある第3、第4のスルホールメッキ導体4c、4dによる伝送線路をメッキ処理で一体化形成し、マイクロ波伝送を可能としているため、信頼性の向上、低コスト化が可能である。

【0015】実施の形態3. 図3は、この発明の実施の形態3を示す構成図であり、マイクロストリップ線路及びトリプレート線路を構成する第1、第2の内部導体層面を示す。図3において、8は容量性素子である。なお、他の構成は、図1(a)、(b)に示すこの発明の実施の形態1の構成と同じであるため、説明も合わせ、重複する箇所は省略する。

【0016】次に動作について説明する。図3において、マイクロストリップ線路及びトリプレート線路を形成する第3のスルホールメッキ導体4cに接続された第1、第2の内部導体層2a、2bに容量性素子8を設けて構成した。図1(a)、(b)の構成では、第1、第2の内部導体層2a、2b間にある第3、第4のスルホールメッキ導体4c、4dによる伝送線路をマイクロストリップ線路及びトリプレート線路より高いインピーダンスにすることで、整合を実現しているが、第4のスルホールメッキ導体4dの本数を多くできない場合あるいは第1及び第2の誘電体層1a、1bの誘電率が低い場合は、逆にインピーダンスが高く成り過ぎる場合もあり、その場合、第1の内部導体層2aと第4のメッキ層5dとの間、第2の内部導体層2bと第4のスルホールメッキ導体4dとの間、第3のスルホールメッキ導体4cと第1、第2の外部導体層3a、3bとの間、第3のメッキ層5cと第3の外部導体層3cとの間、の容量だけでは不足となり増加させ補う必要もあり、第3のスルホールメッキ導体4cに接続されたマイクロストリップ線路及びトリプレート線路を形成する第1、第2の内部導体層2a、2bの一部に容量性素子8を設けることで、等価的に整合が実現できる。

【0017】上記のように構成された多層伝送線路は、第3のスルホールメッキ導体4cに接続される第1、第2の内部導体層2a、2bの一部に容量性素子8を設け、第1、第2の内部導体層間にある第3、第4のスルホールメッキ導体4c、4dによる伝送線路をメッキ処理で一体化形成し、マイクロ波伝送を可能としているため、信頼性の向上、低コスト化が可能である。

【0018】

【発明の効果】第1の発明によれば、内部導体層間にある複数のスルホールメッキ導体による伝送線路をマイクロストリップ線路及びトリプレート線路より高いインピーダンスとしてメッキ処理で一体化形成し、マイクロ波伝送を可能としているため、信頼性の向上、低コスト化が可能である。

【0019】また、第2の発明によれば、スルホールメッキ導体に接続されるマイクロストリップ線路及びトリプレート線路の一部に高インピーダンス部を設け、内部導体層間にある複数のスルホールメッキ導体による伝送線路をメッキ処理で一体化形成し、周波数の高い領域でのマイクロ波伝送を可能としているため、信頼性の向上、低コスト化が可能である。

【0020】また、第3の発明によれば、スルホールメッキ導体に接続されるマイクロストリップ線路及びトリプレート線路を構成する内部導体層の一部に容量性素子を設け、内部導体層間にある複数のスルホールメッキ導体による伝送線路をメッキ処理で一体化形成し、低誘電率の誘電体層を用いた場合でのマイクロ波伝送を可能としているため、信頼性の向上、低コスト化が可能である。

【図面の簡単な説明】

【図1】 この発明による多層伝送線路の実施の形態1を示す図である。

【図2】 この発明による多層伝送線路の実施の形態2を示す図である。

【図3】 この発明による多層伝送線路の実施の形態3を示す図である。

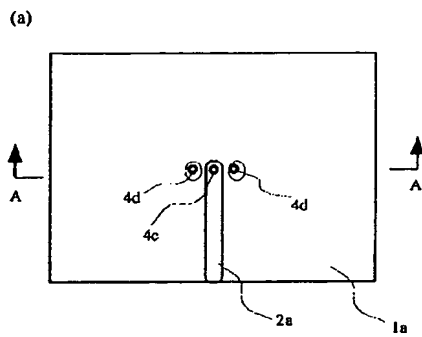
【図4】 従来の多層伝送線路の構成を示す図である。

【符号の説明】

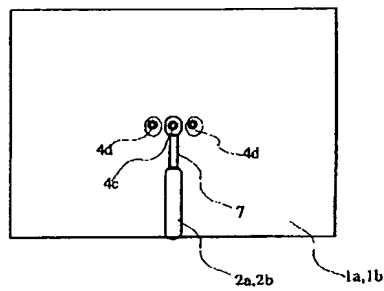
1a 第1の誘電体層、1b 第2の誘電体層、1c 第3の誘電体層、2a 第1の内部導体層、2b 第2の内部導体層、3a 第1の外部導体層、3b 第2の外部導体層、3c 第3の外部導体層、4a 第1のスルホールメッキ導体、4b 第2のスルホールメッキ導体、4c 第3のスルホールメッキ導体、4d 第4のスルホールメッキ導体、5a 第1のメッキ層、5b 第2のメッキ層、5c 第3のメッキ層、5d 第4のメッキ層、6a 第1の接着シート、6b 第2の接着シート、7 高インピーダンス部、8 容量性素子。



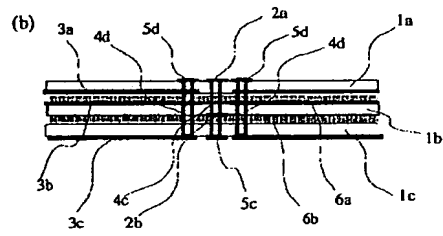
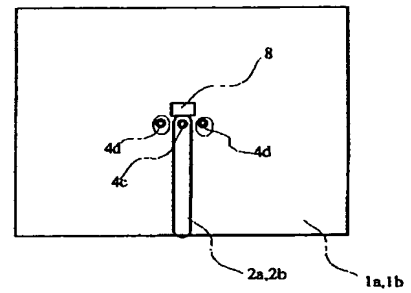
【図1】



【図2】



【図3】



【図4】

